

TITLE OF THE INVENTION

SOLID-STATE IMAGE SENSING APPARATUS AND METHOD OF READING IMAGE SIGNAL CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the benefit of priority from
5 the prior Japanese Patent Applications No. 2003-099509, filed April 2, 2003,
the entire contents of which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

本発明は、画素を２次元に配列した固体撮像装置等に係り、特に複数の出力チ
10 ャンネルを有する固体撮像装置及びその読み出し方法に関する。

2. Description of the Related Art

従来、固体撮像素子を用いた撮像装置では、撮像素子からの画像データ読出し
を画素数の増大に応じて高速化する必要がある。しかし、固体撮像装置の駆動周
波数には、半導体製造プロセスや設計ルール等に起因する上限値（例えば２０～
15 ３０MHz）があるため、駆動周波数をむやみに上げることはできない。

こうした制約を克服するために、撮像素子の信号出力線本数を増やして画像信
号を並列に読出すようにした種々の技術が知られている。

このような技術としては、同色画素信号を出力線上で加算し、複数画素分の加
算信号を複数の出力端子より出力する技術がある（特開平８－１８２００５号公
20 報参照）。

さらに、カラーフィルタに対応する画素の読み出しに第２行又は第４行の画素
を１列ずらして列読み出しを行うことで、フィルタの配列は従来のままで、４本
の出力端に常に同色の出力を行う技術がある（特開平９－４６８０号公報参照）。

また、並列出力構成であって、マトリクス状に配置された特定画素の信号を２
25 つの水平信号線の内、一方より出力する技術（特開２０００－１２８１９号公報
参照）がある。

さらに、分割されたピクセルアレイの各領域に対応した複数の出力回路等を設
けることで、複数のピクセルを同時にアドレスとして読み出す技術もある（特開
２０００－３２３４４号公報参照）。

以上のほか、並列出力構成のイメージセンサについては、種々の提案がされている（米国特許第 6, 5 1 2, 5 4 6 号、並びに “8M color imager with two output registers and four outputs” 参照）。

しかし、上記列挙した先行技術に係る発明にあっては、動画撮像や A E（自動露光量調整）、A W B（自動ホワイトバランス調整）、A F（自動焦点調整）を含む各種の局面に対して、必ずしも最適化されているとはいえない。

BRIEF SUMMARY OF THE INVENTION

本発明の目的とするところは、複数の出力チャンネルを有し、画像データを並列出力する高速画素読出し可能な固体撮像装置及びその読み出し方法を提供することにある。

そして、この目的を達成するために、複数の出力チャンネルを備えた固体撮像装置において、同一撮像領域内の画素の画素信号を読み出す第 1、第 2 の駆動モードに設定自在であり、上記第 1 の駆動モードと第 2 の駆動モードとで使用する出力チャンネル数を異ならせるように制御する。

Advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. Advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate embodiments of the invention, and together with the general description given above and the detailed description of the embodiments given below, serve to explain the principles of the invention.

F I G. 1 は本発明の第 1 実施形態に係る固体撮像装置の構成図、

F I G. 2 は本発明の第 1 実施形態に係る固体撮像素子による第 1 の駆動モード時の動作を示すタイミングチャート、

F I G. 3 は本発明の第 1 実施形態に係る固体撮像素子による第 2 の駆動モード時の動作を示すタイミングチャート、

ド時の動作を示すタイミングチャート、

F I G. 4は本発明の第1実施形態に係る固体撮像装置からの出力信号を処理する処理回路の構成例を示す図、

5 F I G. 5は第1の駆動モード時における、処理回路500内の信号OUT1、OUT2、及び処理回路500の出力信号OUTの関係を示す図、

F I G. 6は第2の駆動モード時における、処理回路500内の信号OUT1、OUT2、及び処理回路500の出力信号OUTの関係を示す図、

F I G. 7は本発明の第2実施形態に係る固体撮像装置の構成図、

10 F I G. 8は本発明の第2実施形態に係る固体撮像素子による第1の駆動モード時の動作を示すタイミングチャート、

F I G. 9は本発明の第2実施形態に係る固体撮像素子による第2の駆動モード(A)時の動作を示すタイミングチャート、

F I G. 10は本発明の第2実施形態に係る固体撮像素子による第2の駆動モード(B)時の動作を示すタイミングチャート、

15 である。

DETAILED DESCRIPTION OF THE INVENTION

以下、図面を参照して、本発明の実施形態について説明する。

(第1実施形態)

20 先ず、F I G. 1には本発明の第1実施形態に係る固体撮像装置の構成を示し詳細に説明する。このF I G. 1において、符号P11~Pmn(m,nは整数)は、2次元状に行列配置(マトリクス配置)されたm×n個の画素を示している。符号1はこれら複数画素からなる固体撮像素子(エリアセンサ)を示している。

25 符号30は、垂直走査回路を示している。この垂直走査回路30は、ライン40-1~40-nを順次走査していくものであり、各ライン40-1~40-nに対応した複数のユニット30-1~30-nで構成されている。

符号10,20は、双方とも水平走査回路を示している。この水平走査回路10,20は、各画素P11~Pmnから出力信号線50-1~50-mに導出された電気信号を画素毎に水平方向に順次読み出すためのものである。

この水平走査回路10は、各出力信号線50-1~50-mに対応した複数の

ユニット10-1~10-mからなり、同様に、水平走査回路20は、各出力信号線50-1~50-mに対応したユニット20-1~20-mからなる。

各画素P11~Pmnには、ライン40-1~40-n、出力信号線50-1~50-m以外の他のラインも接続されているが、図示を省略する。

- 5 出力信号線50-1~50-mの水平走査回路10側の一端には、トランジスタ13-1~13-m、ラインメモリ12-1~12-m、トランジスタ11-1~11-mが、それぞれ図示の如く1組ずつ配設されている。

- 一方、出力信号線50-1~50-mの水平走査回路20側の他端には、トランジスタ23-1~23-m、ラインメモリ22-1~22-m、トランジスタ21-1~21-mが、それぞれ図示の如く1組ずつ配設されている。
- 10

- トランジスタ13-1~13-m、23-1~23-mは、垂直走査回路30により選択された画素行の信号をラインメモリ13-1~13-m、23-1~23-mに転送するための転送スイッチとしての役割を担うものであり、図中、一列置きに共通に入力される制御信号CKT1-1, CKT1-2, CKT2-1, CKT2-2によりオン/オフ制御されるように構成されている(以下では、このトランジスタ13-1~13-m、23-1~23-mを「転送スイッチ」と称する)。
- 15

- また、ラインメモリ12-1~12-m、22-1~22-mは、転送スイッチ13-1~13-m、23-1~23-mを介して画素P11~Pmnから転送される画素信号を一時的に記憶するための容量素子からなる。
- 20

- トランジスタ11-1~11-m、21-1~21-mは、ラインメモリ12-1~12-m、22-1~22-mに記憶された画素信号を選択するための水平選択スイッチとしての役割を担うものである。トランジスタ11-1~11-m、21-1~21-mは、水平走査回路10, 20の出力信号によりオン/オフ制御されるように構成されている(以下では、このトランジスタ11-1~11-m、21-1~21-mを「水平選択スイッチ」と称する)。
- 25

以上の他、水平選択スイッチ11-1~11-mを介して画素信号を読み出すための出力チャンネルCH1と、水平選択スイッチ21-1~21-mを介して画素信号を読み出すための出力チャンネルCH2とを備える。

以下、FIG. 2及びFIG. 3のタイミングチャートを参照して、上記構成である第1実施形態に係る固体撮像装置の特徴的な動作について詳細に説明する。

尚、FIG. 2のタイミングチャートは第1の駆動モード時の動作を示しており、FIG. 3のタイミングチャートは第2の駆動モード時の動作を示している。

5 まず、動作説明に先立ち、FIG. 2, 3で用いる各符号の意味内容を定義する。

FIG. 2, 3中、VDは垂直同期信号、HDは水平同期信号をそれぞれ意味している。CKT1-1は奇数列の転送スイッチ12-1, 12-3, ..., 12-(m-1)のオン/オフを制御する転送信号を意味しており、CKT1-2は、
10 偶数列の転送スイッチ12-2, 12-4, ..., 12-mのオン/オフを制御する転送信号を意味している。そして、CKT2-1は、奇数列の転送スイッチ22-1, 22-3, ..., 22-(m-1)のオン/オフを制御する転送信号を意味しており、CKT2-2は、偶数列の転送スイッチ22-2, 22-4, ..., 22-mのオン/オフを制御する転送信号を意味している。

15 V-1~V-nは、垂直走査回路30より出力される行選択信号を意味している。H1-1~H1-mは、水平走査回路10の各ユニット10-1~10-mから出力され、水平選択スイッチ11-1~11-mを制御する水平選択信号を意味している。H2-1~H2-mは、水平走査回路20の各ユニット20-1~20-mから出力され、水平選択スイッチ21-1~21-mを制御する水平
20 選択信号を意味している。以上の他、CH1, CH2は、各出力チャンネルから出力される画素信号も併せて意味するものとする。

以下、FIG. 2を参照して、第1の駆動モード時の動作を詳述する。

第1の駆動モード設定時において、水平ブランキング期間T1内に行選択信号V-1が“H”レベルとなると、1行目の画素P11~Pm1が選択される。こ
25 の間、転送信号CKT1-1, CKT1-2が“H”レベルであり、転送信号CKT2-1, CKT2-2が“L”レベルであるため、選択された画素P11~Pm1の画素信号は、ラインメモリ12-1~12-mに記憶される。

この後、水平有効期間T2内に水平走査回路10のみを動作させ、各ユニット10-1~10-mから順に水平選択信号H1-1~H1-mを出力すると、当

該出力に同期して、ラインメモリ $12-1 \sim 12-m$ に記憶された 1 行目の画素 $P11 \sim Pm1$ の各画素信号が順次出力チャンネル $CH1$ より出力される。

そして、次の水平ブランキング期間 $T3$ 内に行選択信号 $V-2$ が “H” レベルとなると、2 行目の画素 $P12 \sim Pm2$ が選択される。この間、転送信号 $CKT1-1$ 及び $CKT1-2$ が “H” レベルであり、転送信号 $CKT2-1$ 及び $CKT2-2$ が “L” レベルであるため、選択された画素 $P12 \sim Pm2$ の画素信号は、ラインメモリ $12-1 \sim 12-m$ に記憶される。その後、水平有効期間 $T4$ 内に水平走査回路 10 のみを動作させ、水平走査回路 10 の各ユニット $10-1 \sim 10-m$ から順に水平選択信号 $H1-1 \sim H1-m$ を出力すると、ラインメモリ $12-1 \sim 12-m$ に記憶された 2 行目の画素 $P12 \sim Pm2$ の各画素信号が順次出力チャンネル $CH1$ より出力される。これ以降は、上記したのと同様に水平ブランキング期間中に 3 行目 $\sim n$ 行目までの画素が選択され、水平有効期間中に各行目の画素の各画素信号が出力チャンネル $CH1$ より出力される。

このように、第 1 の駆動モード設定時には、転送信号 $CKT2-1$ 及び $CKT2-2$ は常時 “L” レベルであり、水平走査回路 20 を動作させないので、出力チャンネル $CH2$ からは画素信号は出力されず、出力チャンネル $CH1$ から全ての画素信号が読み出されることになる。

以下、FIG. 3 を参照して、第 2 の駆動モード時の動作を詳述する。

第 2 の駆動モードの設定時において、水平ブランキング期間 $T1$ 内に行選択信号 $V-1$ が “H” レベルとなると、1 行目の画素 $P11 \sim Pm1$ が選択される。

この間、転送信号 $CKT1-1$ 及び $CKT2-2$ が “H” レベルであり、転送信号 $CKT1-2$ 及び $CKT2-1$ が “L” レベルである。この為、選択された画素 $P11 \sim Pm1$ の内、奇数列画素 $P11, P31 \dots P(m-1)1$ の画素信号は、ラインメモリ $12-1 \sim 12-m$ の内の奇数番目のラインメモリ $12-1, 12-3, \dots, 12-(m-1)$ に記憶される。偶数列画素 $P21, P41 \dots Pm1$ の画素信号は、ラインメモリ $22-1 \sim 22-m$ の内の偶数番目のラインメモリ $22-2, 22-4, \dots, 22-m$ にそれぞれ記憶される。

この後に、水平有効期間 $T2$ 内に水平走査回路 $10, 20$ を動作させる。

この水平走査回路 10 では、奇数番目の水平走査回路ユニット $10-1, 10$

− 3, ..., 10 − (m − 1) のみから順に水平選択信号 H1 − 1, H1 − 3, ..., H1 − (m − 1) が出力され、当該出力に同期して、奇数番目のラインメモリ 12 − 1, 12 − 3, ..., 12 − (m − 1) に記憶された画素 P11, P31, ..., P(m − 1)1 の画素信号が順次出力チャンネル CH1 より出力されることになる。一方、水平走査回路 20 では、偶数番目の水平走査回路ユニット 20 − 2, 20 − 4, ..., 20 − m のみから順に水平選択信号 H2 − 2, H2 − 4, ..., H2 − m が出力され、当該出力に同期して、偶数番目のラインメモリ 22 − 2, 22 − 4, ..., 22 − m に記憶された画素 P21, P41, ..., Pm1 の画素信号が順次出力チャンネル CH2 より出力される。

- 10 続いて、次の水平ブランキング期間 T3 内に行選択信号 V − 2 が “H” レベルとなると、2 行目の画素 P12 ~ Pm2 が選択される。

この間、転送信号 CKT1 − 1 及び CKT2 − 2 が “H” レベルであり、転送信号 CKT1 − 2 及び CKT2 − 1 が “L” レベルである。従って、選択された画素 P12 ~ Pm2 の内、奇数列画素 P12, P32, ..., P(m − 1)2 の画素信号は、ラインメモリ 12 − 1 ~ 12 − m の内の奇数番目のラインメモリ 12 − 1, 12 − 3, ..., 12 − (m − 1) に記憶され、偶数列画素 P22, P42, ..., Pm2 の画素信号は、ラインメモリ 22 − 1 ~ 22 − m の内の偶数番目のラインメモリ 22 − 2, 22 − 4, ..., 22 − m に記憶される。

その後、水平有効期間 T4 内に水平走査回路 10, 20 を動作させる。

- 20 水平走査回路 10 では、奇数番目の水平走査回路ユニット 10 − 1, 10 − 3, ..., 10 − (m − 1) のみから順に水平選択信号 H1 − 1, H1 − 3, H1 − (m − 1) が出力され、当該出力に同期して、奇数番目のラインメモリ 12 − 1, 12 − 3, ..., 12 − (m − 1) に記憶された画素 P12, P32, ..., P(m − 1)2 の画素信号が順次出力チャンネル CH1 より出力される。

- 25 水平走査回路 20 では、偶数番目の水平走査回路ユニット 20 − 2, 20 − 4, ..., 20 − m のみから順に水平選択信号 H2 − 2, H2 − 4, ..., H2 − m が出力され、当該出力に同期して、偶数番目のラインメモリ 22 − 2, 22 − 4, ..., 22 − m に記憶された画素 P22, P42 ... Pm2 の画素信号が順次出力チャンネル CH2 より出力されることになる。

これ以降、前述したのと同様に、水平ブランキング期間中に3行目からn行目までの画素が選択され、水平有効期間中に、その画素信号の内の奇数列画素信号が出力チャンネルCH1より出力され、偶数列画素信号が出力チャンネルCH2より出力される。

- 5 尚、前述した水平走査回路20の動作タイミングは、水平走査回路10の動作タイミングに対して位相が180度ずれている。従って、出力チャンネルCH1とCH2とから出力された画素信号を後に混合する際に、処理を確実に行うことができる。また、水平走査回路を1ユニットずつ間をおいて走査することは、例えばデコード回路を採用すれば容易に実現される。また、水平走査回路にシフト
- 10 レジスタを用いた技術としては、本出願人が先に出願した特開平6-350933号公報により開示された「間引き走査方法」がある。

- このように、第2の駆動モード設定時には、奇数列画素信号が出力チャンネルCH1から出力され、偶数列画素信号が出力チャンネルCH2から出力されるので、2つの出力チャンネルCH1、CH2を用いて全ての画素信号を読み出すこと
- 15 ができる。従って、この第2の駆動モード設定時には、出力チャンネルに画素信号が出力される水平有効期間が第1の駆動モードに対して半分の時間で済むことになり、第1の駆動モードに比して高フレームレートとなる。

ここで、第1実施形態に係る固体撮像装置(FIG. 1)からの出力信号を処理する回路の構成例は、FIG. 4に示される通りである。

- 20 FIG. 4に示されるように、この処理回路500は、出力チャンネルCH1と出力チャンネルCH2の信号を混合する回路であり、A/D変換及びラッチ回路501、502とセクタ503から構成されている。

- 固体撮像装置400の出力チャンネルCH1からの画素信号は、A/D変換及びラッチ回路501においてデジタル画像データに変換、ラッチされた後、セ
- 25 クタ503へと出力される(信号OUT1)。一方、出力チャンネルCH2からの画素信号は、A/D変換及びラッチ回路502においてデジタル画像データに変換、ラッチされた後、セクタ503へと出力される(信号OUT2)。セクタ503では、双方を混合して出力する(出力信号OUT)。

この処理回路500内の信号OUT1、OUT2、及び処理回路500の出力

信号OUTの関係は、例えばFIG. 5及びFIG. 6に示される通りである。
尚、FIG. 5は第1の駆動モード、FIG. 6は第2の駆動モードにそれぞれ
対応している。

FIG. 5に示されるように、第1の駆動モードでは、出力チャンネルCH1
のみしか使用していないので、処理回路500からは出力チャンネルCH1から
の信号が出力される。一方、FIG. 6に示されるように、第2の駆動モードで
は、出力チャンネルCH1、CH2の信号が混合されて処理回路500から出力
される。

先にFIG. 3の中でも説明したように、出力チャンネルCH1、CH2の位
相は180度ずれているので、各出力信号をA/D変換及びラッチ回路501、
502にてA/D変換、ラッチした後に、セレクタ503でセレクトするといった
構成を採用することで、確実に混合することが可能となる。

以上説明したように、本発明の第1実施形態では、FIG. 1の構成の固体撮
像装置をFIG. 2、3に示したようなタイミングで動作させることで、出力チ
ャンネルCH1、CH2を選択切り換えすることが可能となる。また、奇数列と
偶数列の画素の画素信号を、異なる出力チャンネルCH1、CH2から出力する
際に、双方の位相をずらすので、その後の混合処理を確実に行うことができる。

尚、FIG. 1に示した回路構成はこれに限定されるものではなく、読み出し
回路に画素のFPNをキャンセルするための機能を持たせること等が可能である
ことは勿論である。また、先にFIG. 4に示した混合回路についても、その構
成を限定するものではなく、当該混合回路を固体撮像装置と同一基板上に構成す
ることも可能であることは勿論である。

(第2の実施形態)

先ず、FIG. 7には本発明の第2実施形態に係る固体撮像装置の構成を示し
詳細に説明する。ここでは、重複した説明を避けるべく、第1実施形態(FIG.
1)と同一の構成要素については同一符号を付し、異なる部分を中心に説明する。

FIG. 7において、各出力信号線50-1~50-mには、第1実施形態と同様に
ラインメモリ12-1~12-m、22-1~22-mに記憶された画素信号を選択する
ための水平選択スイッチ11-1~11-m、11-1~21-

mが配設されている。但し、第2実施形態では、水平選択スイッチ11-1~11-mは11-1と11-2、11-3と11-4、...11-(m-1)と11-mという2つずつが同一水平選択信号によりオン/オフ制御されるように構成されており、水平選択スイッチ21-1~21-mも同様に21-1と21-2、
5 21-3と21-4、...21-(m-1)と21-mという2つずつが同一の水平選択信号によりオン/オフ制御されるように構成されている。

更に、水平選択スイッチ11-1~11-mの内、奇数番目の選択スイッチ11-1、11-3、...、11-(m-1)を介した画素信号を読み出すための出力チャンネルCH1、偶数番目の選択スイッチ11-2、11-4、...、11-mを介した画素信号を読み出すための出力チャンネルCH2、水平選択スイッチ
10 21-1~21-mの内、奇数番目の選択スイッチ21-1、21-3、...、21-(m-1)を介した画素信号を読み出すための出力チャンネルCH3、偶数番目の選択スイッチ21-2、21-4、...、21-mを介した画素信号を読み出すための出力チャンネルCH4、を備えている。

15 そして、水平走査回路10、20は、前述したように水平選択スイッチ11-1~11-m、21-1~21-mを2ケずつ制御していくために、それぞれ水平画素数の1/2の数からのユニット10-1~10-(m/2)、20-1~20-(m/2)で構成されている。

以下、FIG. 8乃至10のタイミングチャートを参照して、上記構成である
20 第2実施形態に係る固体撮像装置の特徴的な動作について詳細に説明する。尚、FIG. 8のタイミングチャートは第1の駆動モード時の動作を示しており、FIG. 9、10のタイミングチャートは第2の駆動モード(A)(B)時の動作を示している。

25 先ず、動作説明に先立ち、FIG. 2、FIG. 3で用いる各符号の意味内容を定義する。

H1-1~H1-(m/2)は、水平走査回路10のユニット10-1~10-(m/2)から出力され、水平選択スイッチ11-1~11-mを制御する水平選択信号を意味している。H2-1~H2-(m/2)は、水平走査回路20のユニット20-1~20-(m/2)から出力され、水平選択スイッチ21-

1 ~ 2 1 - m を制御する水平選択信号を意味している。CH 1 ~ CH 4 は、各出力チャンネルから出力される画素信号も併せて意味する。この他の符号の意味内容は、第 1 実施形態で説明した通りである、重複した説明を省略する。

以下、FIG. 8 を参照して、第 1 の駆動モード時の動作を詳述する。

- 5 第 1 の駆動モードの設定時において、水平ブランキング期間 T 1 内に行選択信号 V - 1 が “H” レベルとなると 1 行目の画素 P 1 1 ~ P m 1 が選択される。この間、転送信号 CK T 1 - 1 及び CK T 2 - 2 が “H” レベルであり、転送信号 CK T 1 - 2 及び CK T 2 - 1 が “L” レベルであるため、選択された画素 P 1 1 ~ P m 1 の内、奇数列画素 P 1 1, P 3 1, ..., P (m - 1) 1 の画素信号は、
- 10 ラインメモリ 1 2 - 1 ~ 1 2 - m の内、奇数番目のラインメモリ 1 2 - 1, 1 2 - 3, ..., 1 2 - (m - 1) に記憶され、偶数列画素 P 2 1, P 4 1, ..., P m 1 の画素信号は、ラインメモリ 2 2 - 1 ~ 2 2 - m の内、偶数番目のラインメモリ 2 2 - 2, 2 2 - 4, ..., 2 2 - m にそれぞれ記憶される。

その後、水平有効期間 T 2 内に水平走査回路 1 0、2 0 を動作させる。

- 15 水平走査回路 1 0 の各ユニット 1 0 - 1 ~ 1 0 - (m / 2) から順に水平選択信号 H 1 - 1 ~ H 1 - (m / 2) を出力すると、奇数番目のラインメモリ 1 2 - 1, 1 2 - 3, ..., 1 2 - (m - 1) に記憶された画素 P 1 1, P 3 1, ..., P (m - 1) 1 の画素信号が順次出力チャンネル CH 1 より出力される。

- 一方、水平走査回路 2 0 の各ユニット 2 0 - 1 ~ 2 0 - (m / 2) から順に水平
- 20 選択信号 H 2 - 1 ~ H 2 - (m / 2) を出力すると、偶数番目のラインメモリ 2 2 - 2, 2 2 - 4, ..., 2 2 - m に記憶された画素 P 2 1, P 4 1, ..., P m 1 の信号が順次出力チャンネル CH 4 より出力される。

- これ以後、前述したのと同様に、水平ブランキング期間中に 2 行目から n 行目までの画素が選択され、水平有効期間中にその画素信号の内奇数列画素信号が出力
- 25 力チャンネル CH 1 より出力され、偶数列画素信号が出力チャンネル CH 4 より出力される。即ち、第 1 の駆動モード時には、水平隣接 2 画素の信号が 2 つの出力チャンネルから並列に読み出されることになる。

ここで、水平走査回路 2 0 の動作タイミングは水平走査回路 1 0 の動作タイミングに対して位相が 1 8 0 度ずれている。このため、前述した第 1 実施形態と同

様に、出力チャンネルCH1とCH4の信号を後に混合する際、処理を確実に行うことが可能となる。

以下、FIG. 9を参照して、第2の駆動モード(A)時の動作を詳述する。

第2の駆動モード(A)の設定時において、水平ブランキング期間T1内の前半期間T1-1で行選択信号V-1が“H”レベルとなると、1行目の画素P11~Pm1が選択される。

この間、転送信号CKT1-1及びCKT2-2が“H”レベルであり、転送信号CKT1-2及びCKT2-1が“L”レベルであるため、選択された画素P11~Pm1の内、奇数列画素P11, P31, ..., P(m-1)1の画素信号は、ラインメモリ12-1~12-mの内、奇数番目のラインメモリ12-1, 12-3, ..., 12-(m-1)に記憶され、偶数列画素P21, P41, ..., Pm1の画素信号は、ラインメモリ22-1~22-mの内、偶数番目のラインメモリ22-2, 22-4, ..., 22-mに記憶される。

そして、続く後半期間T1-2で行選択信号V-2が“H”レベルとなると2行目の画素P12~Pm2が選択される。

この間、転送信号CKT1-2及びCKT2-1が“H”レベルであり、転送信号CKT1-1及びCKT2-2が“L”レベルであるため、選択された画素P12~Pm2の内、奇数列画素P12, P32, ..., P(m-1)2の画素信号は、ラインメモリ22-1~22-mの内、奇数番目のラインメモリ22-1, 22-3, ..., 22-(m-1)に記憶され、偶数列画素P22, P42, ..., Pm2の画素信号は、ラインメモリ12-1~12-mの内、偶数番目のラインメモリ12-2, 12-4, ..., 12-mに記憶される。

その後、水平有効期間T2内で水平走査回路10, 20を動作させる。

水平走査回路ユニット10-1~10-(m/2)から順に水平選択信号H1-1~1-(m/2)を出力すると、ラインメモリ12-1~12-mの内、奇数番目のラインメモリ12-1, 12-3, ..., 12-(m-1)に記憶された画素P11, P31, ..., P(m-1)1の画素信号が順次出力チャンネルCH1より出力され、偶数番目のラインメモリ12-2, 12-4, ..., 12-mに記憶された画素P22, P42, ..., Pm2の画素信号が順次出力チャンネルC

H 2 より出力される。一方で、水平走査回路ユニット $20-1 \sim 20-(m/2)$ から順に水平選択信号 $H2-1 \sim H2-(m/2)$ を出力すると、ラインメモリ $22-1 \sim 22-m$ の内、奇数番目のラインメモリ $22-1, 22-3, \dots, 22-(m-1)$ に記憶された画素 $P12, P32, \dots, P(m-1)2$ の画素信号が順次出力チャンネル $CH3$ より出力され、偶数番目のラインメモリ $22-2, 22-4, \dots, 22-m$ に記憶された画素 $P21, P41, \dots, Pm1$ の画素信号が順次出力チャンネル $CH4$ より出力される。

これ以後、前述したのと同様に、水平ブランキング期間中に 3 行目から n 行目まで 2 行ずつの画素が選択され、水平有効期間中にその画素信号の内奇数行奇数列の画素信号が出力チャンネル $CH1$ に出力され、奇数行偶数列の画素信号が出力チャンネル $CH4$ に出力され、偶数行奇数列の画素信号が出力チャンネル $CH3$ に出力され、偶数行偶数列の画素信号が出力チャンネル $CH2$ に出力されることになる。即ち、FIG. 9 に示す第 2 の駆動モード (A) では、水平垂直隣接 2×2 画素の信号が 4 つの出力チャンネルから並列に読み出される。

これは、緑色 (G) カラーフィルタを水平方向及び垂直方向に 1 画素置きでかつ市松状に配置すると共に、残余の画素位置に赤色 (R) カラーフィルタ及び青色 (B) カラーフィルタを、水平方向を行とする行単位で、線順次で交互に配置した「ベイヤー配列」をしたカラー素子においては、色毎に出力チャンネルが分けられることを意味するので、後処理が行い易くなる。

更に、第 2 の駆動モード (A) では、2 行ずつの画素の画素信号が出力されるので、第 1 の駆動モードに比して高フレームレートとなる。

尚、ここでも、水平走査回路 20 の動作タイミングは水平走査回路 10 の動作タイミングに対して位相が 180 度ずれている。このため、1 行目の画素の画素信号が出力される出力チャンネル $CH1$ と $CH4$ の信号、及び 2 行目の画素の画素信号が出力される出力チャンネル $CH3$ と $CH2$ の信号を後に混合する際、処理を確実に行うことが可能となる点は、第 1 実施形態と同じである。

以下、FIG. 10 を参照して、第 2 の駆動モード (B) 時の動作を詳述する。

第 2 の駆動モード (B) の設定時においては、水平ブランキング期間 $T1$ 内に行選択信号 $V-1$ が “H” レベルとなると、1 行目の画素 $P11 \sim Pm1$ が選択

される。この間、転送信号CKT1-1及びCKT2-2が“H”レベルであり、転送信号CKT1-2及びCKT2-1が“L”レベルである為、選択された画素P11~Pm1の内、奇数列画素P11, P31, ..., P(m-1)1の画素信号は、ラインメモリ12-1~12-mの内、奇数番目のラインメモリ12-1, 12-3, ..., 12-(m-1)に記憶され、偶数列画素P21, P41, ..., Pm1の画素信号は、ラインメモリ22-1~22-mの内、偶数番目のラインメモリ22-2, 22-4, ..., 22-mに記憶される。

その後、水平有効期間T2内で水平走査回路10, 20を動作させる。

水平走査回路ユニット10-1~10-(m/2)から順に水平選択信号H1-1~H1-(m/2)を出力すると、奇数番目のラインメモリ12-1, 12-3, ..., 12-(m-1)に記憶された画素P11, P31, ..., P(m-1)1の信号が順次出力チャンネルCH1より出力される。

一方、水平走査回路ユニット20-1~20-(m/2)から順に水平選択信号H2-1~H2-(m/2)を出力すると、偶数番目のラインメモリ22-2, 22-4, ..., 22-mに記憶された画素P21, P41, ..., Pm1の信号が順次出力チャンネルCH4より出力される。ここで、水平走査回路20の動作タイミングは、水平走査回路10の動作タイミングに対して位相が180度ずれている。このため、出力チャンネルCH1とCH4の信号を後に混合する際に処理を確実に行うことが可能となる点は第1実施形態と同様である。

20 次の水平ブランキング期間T3内で行選択信号V-2が“H”レベルとなると2行目の画素P12~Pm2が選択される。

この間、転送信号CKT1-2及びCKT2-1が“H”レベルであり、転送信号CKT1-1及びCKT2-2が“L”レベルであるため、選択された画素P12~Pm2の内、奇数列画素P12, P32, ..., P(m-1)2の画素信号は、ラインメモリ22-1~22-mの内、奇数番目のラインメモリ22-1, 22-3, ..., 22-(m-1)に記憶され、偶数列画素P22, P42, ..., Pm2の画素信号は、ラインメモリ12-1~12-mの内、偶数番目のラインメモリ12-2, 12-4, ..., 12-mに記憶される。

その後、水平有効期間T4内で水平走査回路10, 20を動作させる。

水平走査回路ユニット $10-1 \sim 10-(m/2)$ から順に水平選択信号 $H1-1 \sim H1-(m/2)$ を出力すると、偶数番目のラインメモリ $12-2, 12-4, \dots, 12-m$ に記憶された画素 $P22, P42 \dots Pm2$ の画素信号が順次出力チャンネル $CH2$ より出力される。一方、水平走査回路ユニット $20-1 \sim$
5 $20-(m/2)$ から順に水平選択信号 $H2-1 \sim H2-(m/2)$ を出力すると、奇数番目のラインメモリ $22-1, 22-3, \dots, 22-(m-1)$ に記憶された画素 $P12, P32, \dots, P(m-1)2$ の画素信号が順次出力チャンネル $CH3$ より出力される。ここでも、水平走査回路 20 の動作タイミングは水平走査回路 10 の動作タイミングに対して位相が 180 度ずれている。

10 これ以後、前述したのと同様に、水平ブランキング期間中に 3 行目から n 行目までの画素が選択され、水平有効期間中にその画素信号の内、奇数行奇数列の画素信号が出力チャンネル $CH1$ に出力され、奇数行偶数列の画素信号が出力チャンネル $CH4$ に出力され、偶数行奇数列の画素信号が出力チャンネル $CH3$ に出力され、偶数行偶数列の画素信号が出力チャンネル $CH2$ に出力される。

15 即ち、第 2 の駆動モード (B) では、第 2 の駆動モード (A) と同様に水平垂直隣接 2×2 画素の信号が 4 つの出力チャンネル $CH1 \sim CH4$ から並列に読み出される。第 2 の駆動モード (B) のフレームレートは、第 1 の駆動モードと同じであり、第 2 の駆動モード (A) に比してフレームレートは低くなるが、ベイヤ配列をしたカラー素子において色毎に出力チャンネルが分けられ、後処理が行い易くなることは第 2 の駆動モード (A) と同様である。
20

以上説明したように、本発明の第 2 実施形態では、FIG. 7 の構成の固体撮像装置を図 8 乃至 10 に示したようなタイミングで動作させることで、出力チャンネル $CH1, CH2$ を選択切り換えすることが可能となる。また、奇数列と偶数列の画素の画素信号を、異なる出力チャンネル $CH1 \sim CH4$ から出力する際
25 に、双方の位相をずらすので、その後の混合処理を確実に行うことができる。尚、FIG. 7 に示した回路構成はこれに限定されるものではなく、読み出し回路に画素の FPN をキャンセルするための機能を持たせること等が可能である。

以上、本発明の実施形態について説明したが、本発明はこれに限定されることなく、その趣旨を逸脱しない範囲で種々の改良・変更が可能であることは勿論で

ある。例えば、実施の形態に係る固体撮像装置及びその読み出し方法を、3原色のフィルタ（R，G，B）の配列の特定の画素にグレイフィルタを配置形成したものにも適用可能であり、この場合でも、各色毎に出力チャンネルが分けられることから、後処理が行い易くなる。

- 5 以上詳述したように、本発明によれば、複数の出力チャンネルを有し、画像データを並列出力する高速画素読出し可能な固体撮像装置及びその読み出し方法を提供することができる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not
10 limited to the specific details, representative devices, and illustrated examples shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

WHAT IS CLAIMED IS:

1. 複数の出力チャンネルを備えた固体撮像装置において、

5 同一撮像領域内の画素の画素信号を読み出す第1、第2の駆動モードに設定自在であり、上記第1の駆動モードと第2の駆動モードとで使用する出力チャンネル数を異ならせるように制御する。

2. Claim1の固体撮像装置において、

10 上記第1の駆動モードと第2の駆動モードの少なくともいずれか一方で、水平方向に隣接する画素の画素信号の読み出しタイミングの位相を所定量ずらす。

3. Claim1の固体撮像装置において、

15 上記第1の駆動モードでは水平方向に隣接する2画素の信号を2つの出力チャンネルから並列出力し、上記第2の駆動モードでは水平方向及び垂直方向に隣接する2×2画素の信号を4つの出力チャンネルからそれぞれ並列出力する。

4. 所定配列のカラーフィルタと複数の出力チャンネルとを備えた固体撮像装置であって、

20 上記カラーフィルタにより規定される色位相コーディングのうち同一の色位相にある画素の画素信号同士を、出力チャンネル数を変更しつつそれぞれ同一の出力チャンネルから並列に出力する。

5. 所定配列カラーフィルタと複数の出力チャンネル、Xアドレスレジスタ、Yアドレスレジスタとを備えた固体撮像装置であって、

25 制御信号に応じて、撮像エリア全域またはブロック領域内の画素につき、上記カラーフィルタにより規定される色位相コーディングのうち、同一の色位相関係にある画素の画素信号同士がそれぞれ同一の出力チャンネルから連続的に又は離散的に、出力チャンネル数を変更しつつ並列に読み出すように上記Xアドレスレジスタと上記Yアドレスレジスタとを制御する。

6. 4本の出力チャンネルを備えた固体撮像装置であって、

上記出力チャンネルのうちの2本を用いた一対色の2系統並列出力、又は4本を用いた単色4系統並列出力のいずれかに設定すると共に、全撮像範囲内の任意領域の画素の画素信号を連続的に或いは所定の一方向について離散的に、出力チャンネル数を変更しつつそれぞれ読み出すように制御する。

7. Claim4の固体撮像装置において、

上記複数の出力チャンネルから並列出力される画素信号の読み出しタイミングは、異なる色信号について少なくともそのうちの一対につき相互に位相がずれている。

8. Claim5の固体撮像装置において、

上記複数の出力チャンネルから並列出力される画素信号の読み出しタイミングは、異なる色信号について少なくともそのうちの一対につき相互に位相がずれている。

9. Claim6の固体撮像装置において、

上記複数の出力チャンネルから並列出力される画素信号の読み出しタイミングは、異なる色信号について少なくともそのうちの一対につき相互に位相がずれている。

10. Claim4の固体撮像装置において、

ベイヤー配列カラーフィルタを更に具備する。

11. Claim5の固体撮像装置において、

ベイヤー配列カラーフィルタを更に具備する。

12. Claim6の固体撮像装置において、

ベイヤー配列カラーフィルタを更に具備する。

1 3. 二次元アレイ状の光電変換部と複数の出力チャンネルとを備えた固体撮像装置の画像データを複数の出力チャンネルから並列に読み出す方法であって、

- 5 外部から入力される制御信号に応じて複数の出力チャンネルを割当て、
上記光電変換部の夫々を順次アドレスし
上記アドレスされた光電変換部から出力される画素信号を上記割当てられた複数の出力チャンネルにそれぞれ転送し、
上記割当てられた複数の出力チャンネルから各画像信号を所定の位相差を与え
10 たタイミングで並列に出力する。

1 4. 固体撮像装置 comprising:

複数画素が二次元配列された光電変換部；

上記光電変換部の画素を選択する垂直走査回路；

- 15 上記各画素から延出された出力信号線の一端及び他端に夫々配設された、一列置きに共通に入力される転送信号により駆動制御される転送スイッチ；

この転送スイッチを介して画素から転送される画素信号を記憶するラインメモリ；

水平選択信号を出力する水平走査回路；

- 20 この水平選択信号により駆動制御される水平選択スイッチ；and

この水平選択スイッチを介して画素信号を読み出す出力チャンネル；

wherein 同一撮像領域内の画素の画素信号を読み出す第1、第2の駆動モードに設定自在であり、この第1の駆動モードと第2の駆動モードとで使用する出力チャンネルを異ならせる。

25

1 5. Claim 1 4の固体撮像装置において、

上記第1の駆動モードと第2の駆動モードの少なくともいずれか一方で、水平方向に隣接する画素の画素信号の読み出しタイミングの位相を所定量ずらす。

1 6. 固体撮像装置 comprising:

ペイヤー配列のカラーフィルタ;

複数画素が二次元配列された光電変換部;

上記光電変換部の画素を選択する垂直走査回路;

5 上記各画素から延出された出力信号線の一端及び他端に夫々配設された、一列置きに共通に入力される転送信号により駆動制御される転送スイッチ;

この転送スイッチを介して画素から転送される画素信号を記憶するラインメモリ;

水平選択信号を出力する水平走査回路;

10 隣接する2つが同一の水平選択信号により駆動制御される水平選択スイッチ;

奇数番目の水平選択スイッチを介して画素信号を読み出す一の出力チャンネル;
and

偶数番目の水平選択スイッチを介して画素信号を読み出す他の出力チャンネル;

15 wherein 上記カラーフィルタにより規定される色位相コーディングのうち同一の色位相にある画素の画素信号同士をそれぞれ同一の出力チャンネルから並列に出力する。

1 7. Claim 1 6 の固体撮像装置において、

20 上記出力チャンネルのうちの2本を用いた一対色の2系統並列出力又は4本を用いた単色4系統並列出力のいずれかに設定すると共に、全撮像範囲内の任意領域の画素の画素信号を連続的に或いは所定の一方向について離散的にそれぞれ読み出すように制御する。

ABSTRACT OF THE DISCLOSURE

出力チャンネルCH1，CH2を備えた固体撮像装置であって、同一撮像領域内の画素の画素信号を読み出す第1、第2の駆動モードを有しており、上記第1
5 の駆動モードと第2の駆動モードとでは使用する出力チャンネル数が異なっており、更に両モードの少なくとも一方では、水平方向に隣接する画素の画素信号の読み出しタイミングの位相が所定量ずれている。